

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-347931

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

G06F 12/08

G06F 9/38

(21)Application number : 11-156159

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 03.06.1999

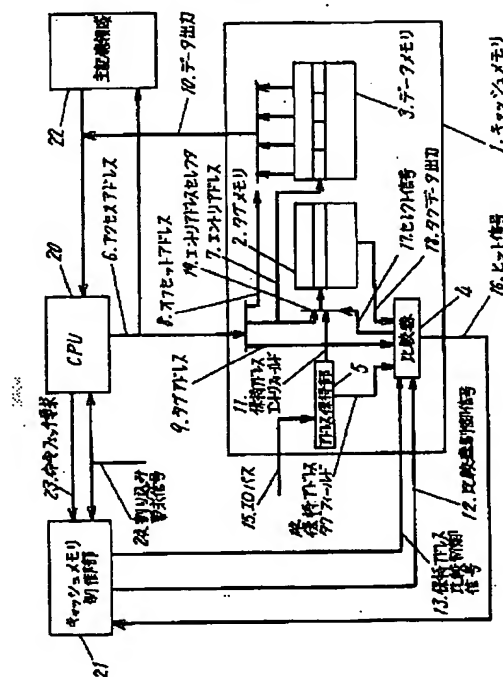
(72)Inventor : KANEKO KEISUKE

(54) CACHE MEMORY AND METHOD FOR CONTROLLING CACHE MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To actually reduce a cache error penalty in a fetch access to an interrupt handler at the occurrence of interrupt in an information processing system having a cache memory.

SOLUTION: This cache memory is provided with an address holding part 5 optionally holding an address, and also, an optional address value held by the part 5 can be compared with tag memory data in the cache memory. When interrupt takes place, cache hit error decision is previously performed by an address value held by the part 5 apart from a cache access request from a CPU 20. It is possible to previously discriminate whether the address of an interrupt handler is subject to a cache hit or an error before the CPU 20 accesses the interrupt handler by setting the address of the interrupt handler in the part 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-347931
(P2000-347931A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int. Cl. ⁷	識別記号	F I	テーマト* (参考)
G 0 6 F 12/08		G 0 6 F 12/08	D 5 B 0 0 5
			U 5 B 0 1 3
9/38	3 1 0	9/38	3 1 0 A
	3 8 0		3 8 0 A

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平11-156159

(22) 出願日 平成11年6月3日 (1999. 6. 3)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 金子 圭介

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

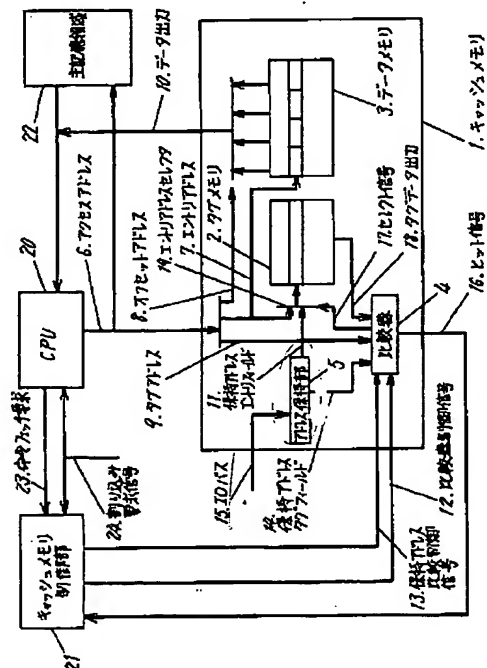
Fターム (参考) 5B005 JJ13 KK12 MM01 NN22 NN31
5B013 AA01 EE01

(54) 【発明の名称】 キャッシュメモリおよびキャッシュメモリ制御方法

(57) 【要約】

【課題】 キャッシュメモリを有する情報処理システムにおいて、割り込み発生時の割り込みハンドラへのフェッチアクセスにおいて、キャッシュミスペナルティを事実上低減させる。

【解決手段】 キャッシュメモリに任意にアドレスを保持するアドレス保持部を設け、また、前記アドレス保持部に保持している任意のアドレス値とキャッシュメモリ内のタグメモリデータとを比較することを可能とする。割り込み発生時は、CPUからのキャッシュアクセス要求とは別に先行してアドレス保持部に保持しているアドレス値によりキャッシュヒットミス判定を行なう。アドレス保持部に割り込みハンドラのアドレスを設定しておくことにより、CPUが割り込みハンドラへのアクセスを行なうよりも前に割り込みハンドラのアドレスがキャッシュヒットするかミスするかを先行して判断可能とする。



【特許請求の範囲】

【請求項1】 タグデータを保持するタグメモリとは別に、任意のアドレスを保持することが可能なアドレス保持部を有し、制御信号によって、前記アドレス保持部に保持しているアドレスの値を用いて前記キャッシュメモリ内のタグアドレスデータとの比較を行なうキャッシュメモリ。

【請求項2】 中央処理装置と、前記中央処理装置がアクセスを行なう主記憶領域と、請求項1のキャッシュメモリと、キャッシュメモリ制御回路を有するシステムにおいて、前記中央処理装置への割り込み要求信号は前記キャッシュメモリ制御回路へ接続され、割り込み要求が発生した場合、前記キャッシュ制御回路は前記キャッシュメモリの制御信号を入力し、直ちに前記アドレス保持部内のアドレスデータと、前記キャッシュメモリ内のタグアドレスデータとの比較を行ない、前記比較結果により前記キャッシュメモリ制御回路は前記主記憶領域からの前記キャッシュメモリ内へのデータ転送を制御するキャッシュメモリ制御手法。

【請求項3】 中央処理装置と、前記中央処理装置がアクセスを行なう主記憶領域と、キャッシュメモリと前記キャッシュメモリを制御する制御回路を有するキャッシュメモリシステムにおいて、任意のアドレスを保持するアドレス保持部をシステムは有し、さらに前記中央処理装置への割り込み要求信号が接続され、前記割り込み要求信号の入力値により、前記中央処理装置からの命令フェッチアクセス要求によるキャッシュメモリアクセス要求よりも優先して、前記アドレス保持部に有するアドレスを前記キャッシュメモリに出力し、前記キャッシュメモリ内部のタグアドレスデータとの比較を行なうキャッシュメモリ制御手法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、情報処理システムに用いるキャッシュメモリとキャッシュメモリの制御方法に関するものである。

【0002】

【従来の技術】 中央処理装置(以下CPU)と、キャッシュメモリを有するシステムにおいて、CPUへの割り込みが発生すると、CPUは現在行なっている処理を中断、あるいは完了した後に、現在CPUが行なっていた命令フェッチアクセスを中断あるいは、完了し、割り込み処理ルーチンへの分岐を行ない割り込み処理へと移行する。割り込みを受理し、割り込みハンドラへの分岐の前には、CPUが行なっていた命令フェッチアクセスの中断、あるいは完了処理、その後アドレス生成、命令フェッチアクセス要求準備、の処理を行なう。前記の処理の後に、割り込みハンドラへの命令フェッチアクセス要求を出し、キャッシュメモリアクセスが許可されている場合、CPUからのアドレスによりキャッシュメモリア

クセスが行なわれる。このキャッシュメモリアクセスにおいて、キャッシュミスである場合は、主記憶領域からのデータ転送を行わなくてはならない。

【0003】 前述のように割り込み要求が発生した場合、CPUは割り込み処理ルーチンへの分岐処理に入るが、その処理には通常数サイクル必要とされる。一般に、CPUは割り込みが発生すると、割り込み応答性能を向上させる為、割り込み要求発生時点で行なっている命令フェッチアクセスを中断する。中断せず完了するCPUであっても、フェッチしてきた命令データはCPUでは実行されない。

【0004】 キャッシュメモリを有するシステムにおいて、割り込みが発生した後、割り込み処理ハンドラへの分岐処理、分岐先の命令フェッチへとCPUの制御が移行している間、キャッシュメモリは静止状態、あるいは、後に必要とされない命令データのためのキャッシュメモリアクセスを行なっていることになる。

【0005】 図1には従来の命令キャッシュとCPUで構成されるシステムにおいて、割り込みが発生した時の動作を示すタイミングチャートである。図1には命令A(30)、命令B(31)がパイプライン処理され、命令A(30)がEXステージ(実行ステージ)で伸長している場合を示す。命令A(30)は実行中に割り込み要求があってもEXステージでの実行が完了するまで割り込みを受け付けない命令とする。また、IFステージには次命令の命令B(31)が存在しているので、命令B(31)の命令フェッチが行なわれている。命令A(30)がEXステージ上に存在するサイクル33において割り込み要求信号24が入った場合、命令A(30)は実行中に割り込み禁止とする命令であるので、CPUが割り込みを受理する最初のクロックエッジは34である。割り込み処理を開始するのは命令A(30)がEXステージを抜けたサイクル35からとなる。サイクル35からCPUは割り込み処理開始、現命令の中断処理、次のサイクル36で割り込み処理ハンドラへの分岐アドレス演算を行ない、サイクル37で分岐処理ハンドラの先頭アドレスへの命令フェッチ要求が開始されることになる。CPUは現在までに出力していた命令フェッチ要求のキャンセルを要求するキャンセル信号41と、割り込み処理ハンドラへの先頭アドレスの命令フェッチ要求信号40を出力する。また命令フェッチアドレスがキャッシュヒットするか否かを調べる為、比較器制御信号42を出力する。従来のこの制御方法の場合、キャッシュメモリへのアクセスは37のサイクルとなり、キャッシュヒットか否かはサイクル37以降にならないと判明しない。キャッシュミスの場合、サイクル38から主記憶領域からのデータ転送(リフィル)制御が開始されることになる。割り込み要求があったサイクル33から実際に割り込みハンドラへの先頭番地への命令フェッチによりキャッシュアクセスが行なわれるサイクル37の間はキャッシュメモ

りは静止状態か、あるいは不要な命令フェッチアクセスを行なうことになり、図中の39のサイクル中は不要な命令フェッチアクセスを行なっているサイクルとなる。ここで不要な命令フェッチアクセスとするのは、たとえ図中39のサイクル間に命令フェッチを行なっても、37のサイクルで今までの命令フェッチアクセスをキャンセル、無効化するためである。

【0006】

【発明が解決しようとする課題】本発明は、CPUとキャッシュメモリを有するシステムにおいて、割り込み発生時の分岐先の命令フェッチアクセスにおいて、キャッシュミスによるペナルティーを低減する為に、キャッシュメモリアクセスの制御方法を最適化する制御手法、およびキャッシュメモリを提供することを目的とする。

【0007】

【課題を解決するための手段】上記課題を解決するため、本発明のキャッシュメモリは、タグデータを保持するタグメモリとは別に、任意のアドレスを保持することが可能なアドレス保持部を有し、制御信号によって前記アドレス保持部に保持しているアドレスの値を用いて前記キャッシュメモリ内のタグアドレスデータとの比較を行なうキャッシュメモリである。

【0008】また、本発明のキャッシュメモリを用いたキャッシュメモリシステムの制御方法は、中央処理装置と、前記中央処理装置がアクセスを行なう主記憶領域と、前述のキャッシュメモリと、キャッシュメモリ制御回路を有するシステムにおいて、前記中央処理装置への割り込み要求信号は前記キャッシュメモリへ接続され、割り込みが発生した場合、直ちに前記アドレス保持部内のアドレスデータと、前記キャッシュメモリ内のタグアドレスデータとの比較が行なわれ、前記比較結果により前記キャッシュメモリ制御部は前記主記憶領域からの前記キャッシュメモリ内へのデータ転送を制御するキャッシュメモリ手法である。

【0009】また、上記課題を解決するもう一つ的手段として、本発明の制御手法は、CPUと、前記CPUがアクセスを行なう主記憶領域と、キャッシュメモリと前記キャッシュメモリを制御する制御回路を有するキャッシュメモリシステムにおいて、前記キャッシュメモリ制御部には任意のアドレスを保持するアドレス保持部を有し、さらに前記中央処理装置への割り込み要求信号が接続され、前記割り込み要求信号の入力値により、前記中央処理装置からの命令フェッチアクセス要求によるキャッシュメモリアクセス要求よりも優先して、前記キャッシュメモリ内部の前記アドレス保持部に有するアドレスを前記キャッシュメモリに出力し、前記キャッシュメモリ内部のタグアドレスデータとの比較を行なうキャッシュメモリ制御手法である。

【0010】これにより、CPUが割り込み要求信号を受け、割り込み処理ルーチンへの移行の為の処理を行な

っている間に、キャッシュメモリアクセスを行なう事が可能となり、割り込みハンドラへの分岐においてキャッシュアクセスを行なう場合に、キャッシュメモリアクセスを最適化することが可能となる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。

【0012】図2は第一の実施形態において使用するキャッシュメモリのメモリ構成図である。図中、1はキャッシュメモリ、2はタグデータを格納するタグメモリ、3は主記憶領域のブロックデータを保持するデータメモリである。キャッシュメモリ1は通常の動作時はCPUからのアクセスアドレス6の値により動作する。キャッシュメモリ1内部の比較器4の比較器制御信号12が入力されると、アドレス入力6の値のうちのエントリーアドレス7によって指定されたエントリーのタグデータのタグデータ出力18と、アドレス入力のタグアドレス9が比較器4に入力され一致判定を行なう。一致した場合は「キャッシュヒット」となり、ヒット信号16が出力される。同時にデータメモリからは、エントリーアドレス7で指定されるデータラインのデータのうち、オフセットアドレス8に相当するデータがデータ出力10として出力される。図中のキャッシュメモリは前述の動作の他に、キャッシュメモリ1内のアドレス保持部5に保持しているアドレス値との比較を行なう機能も有する。保持アドレス比較制御信号13が入力されると、比較器4はアドレス保持部5に保持しているアドレスのタグフィールド14と、タグメモリ内部のタグデータとを比較する。この際、比較器はアドレス保持部のアドレスデータのエントリーフィールド11に示されるタグメモリをアクセスするようにエントリーアドレスセクタ19のセレクト信号17をアドレス保持部側に切り替えられ、そのエントリーのタグデータ出力18と、アドレス保持部5のアドレスのタグフィールド14とが比較器4によって比較され、比較結果がヒット信号16として出力される。

【0013】図3に第一の実施形態におけるシステムの構成図を示す。図中のキャッシュメモリは図2で示したキャッシュメモリを用いた命令キャッシュを示す。図3は命令アクセスとデータアクセスにおいてそれぞれ別々の専用メモリをアクセスするようなハーバードアーキテクチャのCPUで構成されるシステムにおいて、命令アクセス関連の構成のみを示している。CPU20が命令フェッチを行なう場合、命令フェッチ要求23がキャッシュメモリ制御部21に出力され、キャッシュメモリ制御部21は命令キャッシュメモリ1へ比較器制御信号12を出力しキャッシュアクセスを行なう。一方CPU20からのアクセスアドレス6は、主記憶領域22とキャッシュメモリ1へ送られる。キャッシュメモリ1は比較器制御信号12がアサートされるとアクセスアドレス6のうち、エントリーアドレスフィールドで指定されたエ

ントリアドレス7を用いて、タグメモリをアクセスする。アクセス後タグデータ出力18と、アクセスアドレス6のタグアドレスフィールド9とが、比較器4により用いて比較され、比較結果をヒット信号16としてキャッシュメモリ制御部21へ出力する。キャッシュメモリ制御部21はヒット信号出力16の値により、キャッシュミスであれば主記憶領域22からキャッシュメモリ1へのデータ転送を行なう。ここで、システムに割り込みが発生した場合の動作を説明する。キャッシュメモリ1内のアドレス保持部5にはチップ内のI/Oデータ15により書き込み可能であり、プログラム開始時に初期設定として割り込み処理ハンドラの先頭番地をセットしておく。システムに割り込みが発生すると割り込み要求信号24がCPU20へ送られ、割り込みハンドラへの移行の為の処理を開始する。割り込み要求信号24は同時にキャッシュメモリ制御部21にも送られ、キャッシュメモリ制御部21は保持アドレス比較制御信号13をキャッシュメモリ1に送出する。保持アドレス比較制御信号13が入力されると比較器4はタグメモリのエントリアドレスセクタ19がアドレス保持部からの保持アドレスエントリフィールド11側に切り替えるようセレクト信号17を出力する。キャッシュメモリ1はアドレス保持部5に保持しているアドレス値のエントリフィールドにより指定されるタグメモリ2内のタグデータと、アドレス保持部5に保持しているアドレス値のタグアドレスデータ14とを比較器4で比較し、ヒット信号16をキャッシュメモリ制御部21に出力する。キャッシュミスの場合、主記憶領域22からのデータ転送を開始する。

【0014】図4には本発明のキャッシュメモリおよびキャッシュメモリ制御手法を用いた場合の効果を示すタイミングチャートである。命令A(30)がEXステージに存在する場合に割り込み要求信号24が入力された場合、図1の説明において記述したように命令A(30)は実行完了まで割り込みを受け付けなため、実際に割り込み処理ハンドラの先頭番地への命令フェッチが行なわれるのはサイクル37である。一方第一の実施形態においては、割り込み要求信号24はキャッシュメモリ制御部にも送られ、キャッシュメモリ制御部は保持アドレス比較制御信号13を命令キャッシュメモリに送出する。キャッシュメモリ内のアドレス保持部にはあらかじめ割り込みハンドラの先頭番地のアドレスをセットしておく。今キャッシュメモリ制御部から保持アドレス比較制御信号13が入力されると、キャッシュメモリはアドレス保持部のアドレス値を用いてキャッシュメモリ内部にアドレス保持部に保持しているアドレスがキャッシュタグ内部に存在するかどうかを調べる。つまり、割り込み要求信号24の入力後、キャッシュメモリアクセスを行ない、アドレス保持部に保持しているハンドラの先頭アドレスがキャッシュヒットするかミスするかを判定す

る事が可能となる。ヒットであればその状態のまま、ミスであれば主記憶領域からのデータ転送が開始可能であり、サイクル37で命令フェッチ要求が発生したサイクルでキャッシュアクセスを行なった場合、既にキャッシュ内部にハンドラの先頭番地のアドレスデータをキャッシュメモリ内部に転送完了可能である。

【0015】図5には本実施形態における効果を簡単に図示している。命令A(30)がEXステージにある場合に割り込み要求信号24が図示するタイミングで入った場合、キャッシュ制御部は保持アドレス比較制御信号13を出力する。保持アドレス比較制御信号13を受け、キャッシュアクセスサイクル1(50)のサイクルでキャッシュタグデータと、保持アドレス値との比較が行なわれる。いまこの比較結果がミスである場合を図には示す。サイクル50の後、主記憶領域からキャッシュメモリ内部にデータ転送が行なわれる。図中には4ワードのデータが転送される場合を示している。割り込み要求信号24は命令A(30)が実行完了してから受理され、割り込み処理を開始する。その処理内容については図1、4の説明において説明済みである。割り込み受理後、割り込み先頭アドレスへの命令フェッチが発生した際、既にサイクル50後にキャッシュリフィルを開始し、キャッシュ内部にデータが転送開始済みであるため、サイクル52ではキャッシュヒットとなる。図5にはすでにキャッシュリフィル51が完了している場合を示している。従来では、キャッシュアクセスサイクル2(52)で、はじめて割り込みハンドラの先頭アドレスでのキャッシュアクセスが行なわれる為、サイクル52においてはキャッシュミスとなるのを、本発明を用いれば、キャッシュヒットとすることが可能である。

【0016】アドレス保持部には任意のアドレスが設定可能である為、たとえば、割り込み発生時は、一旦アンキャッシュابل空間に分岐し、その後キャッシュابل空間に分岐するようなハンドラ処理を作成した場合は、分岐先のキャッシュابل空間のアドレスを設定しておけば、一旦アンキャッシュابل空間への命令フェッチを行なっている裏で分岐先のキャッシュابل空間のプログラムをキャッシュ内部にロードすることも可能である。

【0017】上記はキャッシュメモリ内部にアドレス保持部を設けた場合を説明したが、キャッシュメモリ内部に限らず、メモリ外部に保持部を設け同様の制御を行なっても割り込み応答性能に対して本発明の効果がでる。

【0018】

【発明の効果】上述のように、システム上で割り込みが発生した場合、CPUが割り込み処理に移行するとは別にキャッシュメモリにアクセスし、任意のアドレスがキャッシュ内部に存在するかどうかを先行的に判定し、CPUから実際に割り込み処理に移行した際、キャッシュミスのペナルティを少なくする事が可能であり、その結果、システムの割り込み応答性能を向上させることが

可能である。

【図面の簡単な説明】

【図1】従来の割り込み発生時のキャッシュアクセスサイクルを示すタイミング図

【図2】本発明の第一の実施形態で用いるキャッシュメモリ構成図

【図3】本発明の第一の実施形態のキャッシュメモリを含むシステム構成図

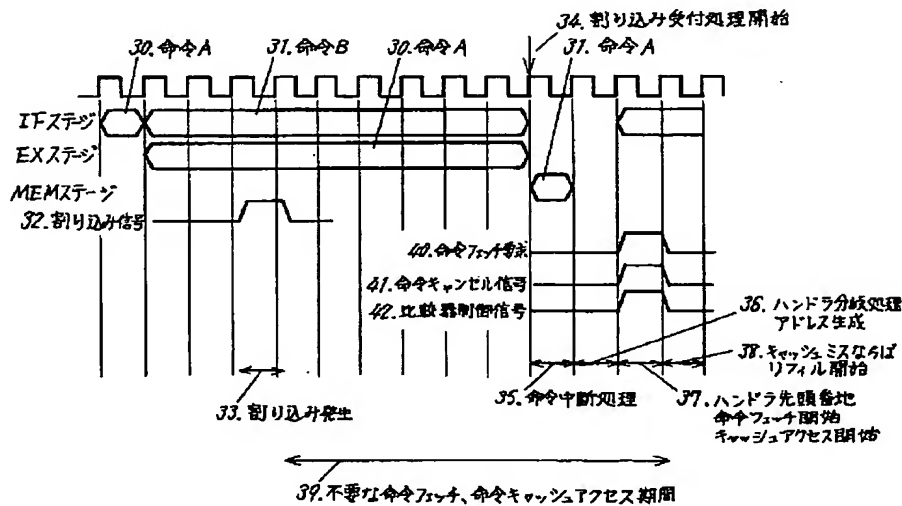
【図4】本発明の第一の実施形態のキャッシュアクセスサイクルを示すタイミング図

【図5】本発明の第一の実施形態の効果を示すタイミング図

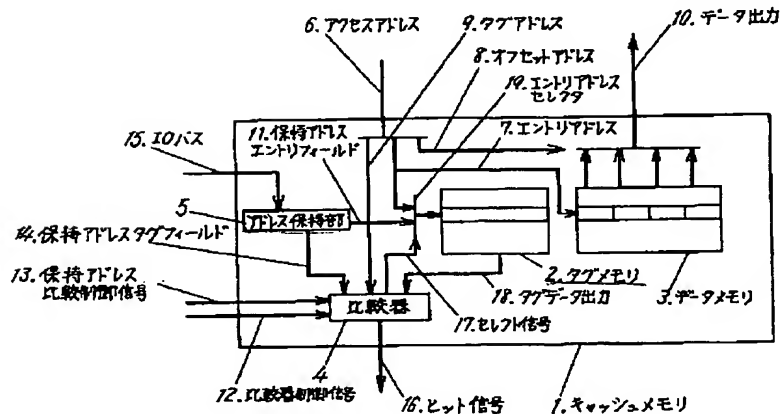
【符号の説明】

- | | |
|----|--------------|
| 1 | キャッシュメモリ |
| 2 | タグメモリ |
| 3 | データメモリ |
| 4 | 比較器 |
| 5 | アドレス保持部 |
| 12 | 比較器制御信号 |
| 13 | 保持アドレス比較制御信号 |
| 16 | ヒット信号 |
| 10 | CPU |
| 21 | キャッシュメモリ制御部 |
| 22 | 主記憶領域 |

【図1】



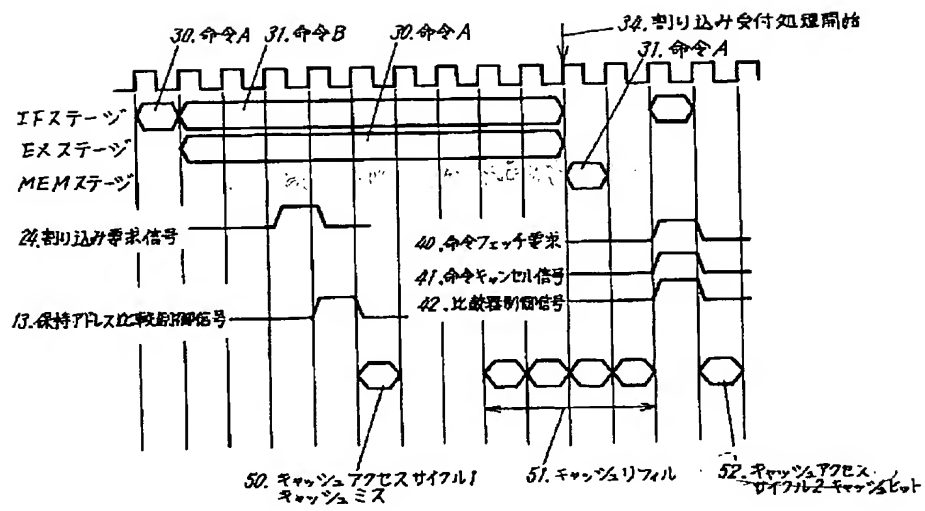
【図2】



[illegible]

Timing diagram for the interrupt processing of the 7700 microcontroller. The diagram shows the relationship between instruction stages (IF, EX, MEM), various control signals (interrupt request, address latch enable, address strobe, address compare, interrupt acknowledge, interrupt mask, interrupt priority), and the execution of specific instructions (30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 40, 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99).

【図5】



THIS PAGE BLANK (USPTO)